



(19)

(11) Publication number: 2000078475 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10248730

(51) Intl. Cl.: H04N 5/335 H01L 27/146 H04N 9/07

(22) Application date: 02.09.98

(30) Priority:

(43) Date of application
publication: 14.03.00(84) Designated
contracting states:

(71) Applicant: CANON INC

(72) Inventor: HASHIMOTO SEIJI

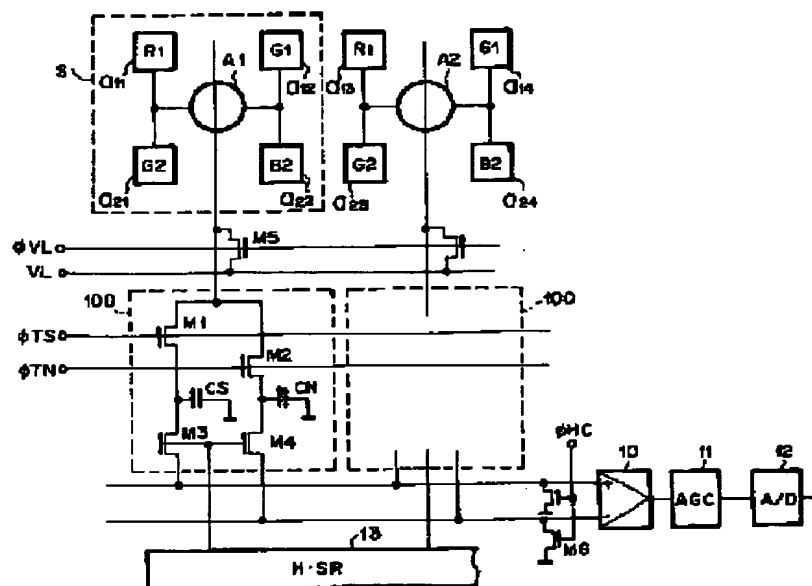
(74) Representative:

(54) IMAGE PICKUP DEVICE
AND IMAGE PICKUP SYSTEM
USING THE SAME

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the numbers of temporary storage capacitors, stages of shift registers, common circuits, AGCs, and A/C converters by connecting a holding means shared by each photoelectric conversion part in a unit cell with a vertical output line and reading signals from the photoelectric conversion part to a signal holding means via the common circuit.

SOLUTION: A signal storage structuring part 100 is provided with a capacitor Cs for storing the signal and a capacitor Cn for storing the noise, etc. The capacitor Cs for storing the signal and the capacitor Cn for storing the noise are provided to one vertical output line in parallel via transistors M1, M2. The signal stored in the capacitor Cs and the noise stored in the capacitor Cn are read on each horizontal output line by simultaneously turning transistors M3, M4 on by a horizontal shift register 13, and the signal is converted into a digital signal by removing the noise from it by a subtraction amplifier 10. Two kinds of capacitor Cn, Cs are provided per one vertical output line, two trains of photoelectric conversion signals are outputted by one vertical output line by a common amplifier and one capacitor is arranged per one train of photoelectric conversion parts.



COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-78475

(P2000-78475A)

(43)公開日 平成12年3月14日(2000.3.14)

(51)Int.Cl.⁷

識別記号

F I

ターコト*(参考)

H 0 4 N 5/335

H 0 4 N 5/335

E 4 M 1 1 8

H 0 1 L 27/146

9/07

A 5 C 0 2 4

H 0 4 N 9/07

H 0 1 L 27/14

A 5 C 0 6 5

審査請求 未請求 請求項の数15 O L (全 11 頁)

(21)出願番号

特願平10-248730

(22)出願日

平成10年9月2日(1998.9.2)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100065385

弁理士 山下 稯平

Fターム(参考) 4M118 AA01 AA02 AA10 AB01 BA14

CA03 CA24 DD09 DD10 DD12

FA06 GC08

5C024 AA01 CA00 CA12 CA15 EA08

FA01 FA11 GA01 GA31

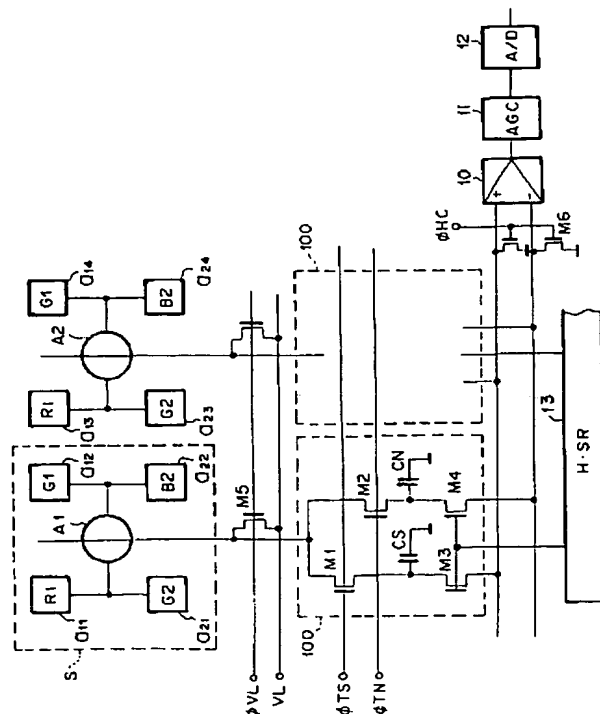
5C065 BB48 DD15 EE03

(54)【発明の名称】 撮像装置およびそれを用いた撮像システム

(57)【要約】

【課題】 一時蓄積容量が多く、チップ面積が増大して
いる。

【解決手段】 少なくとも行方向に配列された複数の光
電変換部a11、a12と複数の光電変換部からの信号が入
力される共通のアンプA1とを配置した単位セルSが複
数列配列された撮像装置において、単位セル内の各光電
変換部について共有される信号保持手段CS、CNを垂直
出力線に接続し、光電変換部から共通のアンプを介して
信号保持手段へ信号を読み出す。



【特許請求の範囲】

【請求項1】 少なくとも行方向に配列された複数の光電変換部と該複数の光電変換部からの信号が入力される共通回路とを配置した単位セルが複数列配列された撮像装置において、

前記単位セル内の各光電変換部について共有される信号保持手段を垂直出力線に接続し、前記光電変換部から前記共通回路を介して前記信号保持手段へ信号を読み出すことを特徴とする撮像装置。

【請求項2】 前記信号保持手段から信号出力を行う動作を、各光電変換部ごとに順次行つてなる請求項1に記載の撮像装置。

【請求項3】 行方向及び列方向に複数の光電変換画素を配列し、少なくとも二列の光電変換画素列について共有する信号保持手段を垂直出力線に接続し、前記信号保持手段は、画像信号を蓄積する画像信号保持手段と、該画像信号のノイズ成分を蓄積するノイズ保持手段とからなり、

各光電変換画素から前記信号保持手段へ信号を読み出し、前記信号保持手段から信号出力を行う動作を、前記少なくとも二列の光電変換画素列の列方向と行方向について各光電変換画素ごとに順次行つてなる撮像装置。

【請求項4】 前記信号保持手段は、画像信号を蓄積する画像信号保持手段と、該画像信号のノイズ成分を蓄積するノイズ保持手段とからなり、該画像信号から該ノイズ成分を差分する手段を有することを特徴とする請求項2又は請求項3に記載の撮像装置。

【請求項5】 前記光電変換部に色フィルタを配置したことを特徴とする請求項1に記載の撮像装置。

【請求項6】 前記光電変換画素に色フィルタを配置したことを特徴とする請求項3に記載の撮像装置。

【請求項7】 前記光電変換画素は、光電変換部と該光電変換部からの信号が入力されるアンプとを有する請求項3に記載の撮像装置。

【請求項8】 前記共通回路は、前記光電変換部からの信号を増幅する増幅手段と前記単位セルをリセットするリセット手段とを有することを特徴とする請求項1に記載の撮像装置。

【請求項9】 前記アンプは、前記光電変換部からの信号を増幅する増幅手段と前記単位セルをリセットするリセット手段とを有することを特徴とする請求項7に記載の撮像装置。

【請求項10】 請求項1、2、4、5、7、8のいずれかの請求項に記載の撮像装置において、少なくとも前記光電変換部間のピッチを少なくとも垂直方向又は水平方向の一方方で等ピッチに調整するための調整手段を設けたことを特徴とする撮像装置。

【請求項11】 請求項10に記載の撮像装置において、前記調整手段は遮光膜であることを特徴とする撮像装置。

【請求項12】 請求項1、2、4、5、8、10、11のいずれかの請求項に記載の撮像装置において、前記共通回路は単位セルの中心部に配置したことを特徴とする撮像装置。

【請求項13】 請求項11に記載の撮像装置において、前記遮光膜は隣り合う単位セル間に配置したことを特徴とする撮像装置。

【請求項14】 請求項13に記載の撮像装置において、前記遮光膜は少なくとも前記単位セルの水平方向又は垂直方向の中心線に対して線対称となる位置に配置したことを特徴とする撮像装置。

【請求項15】 請求項1～14のいずれかの請求項に記載の撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は撮像装置およびそれを用いた撮像システムに係わり、特に、少なくとも行方向に配列された複数の光電変換部と該複数の光電変換部からの信号が入力される共通回路とを配置した単位セルが複数列配列された撮像装置又は行方向及び列方向に複数の光電変換画素を配列した撮像装置、およびそれを用いた撮像システムに関する。

【0002】

【従来の技術】 増幅型センサーの一つにCMOS回路からなる増幅アンプを一つの画素内に設けたCMOSEリアセンサーがある。

【0003】 CMOSエリアセンサーはCCD型エリアセンサーに対し、ランダムアクセスが可能で、多機能性と低消費電力性の点で優位である。

【0004】 すなわち、CCD型エリアセンサーは光電変換された信号を順次転送しながら、外部へ出力するために、ランダムアクセスが困難であり、消費電力が大きい、CMOSEリアセンサーは任意の画素を選択して出力することができるので、低消費電力であって、実装上低ノイズであり、実装も簡単である。

【0005】

【発明が解決しようとする課題】 上記CMOSEリアセンサーにおいて、画素アンプの特性にバラツキを生じる場合、そのバラツキを補正するためにメモリを付加することが求められる。しかし、メモリを画素ごとに設けるとメモリの実装面積が大きくなり、コスト高となる課題がある。以下、バラツキを補正するためにメモリを有する撮像装置の一例について説明する。画素アンプの特性のバラツキは画素からノイズ信号を読み出し画素信号から差分することで抑制することができる。

【0006】 図17～図19はそれぞれ従来例の撮像装置のバラツキ補正回路の一例を示す概略的回路構成図である。なお図18に示す構成は、特開平1-24576

10

20

30

40

50

9号公報に開示されており、図19に示す構成は特開平9-247546号公報に開示されている。

【0007】図17において、R1画素、G1画素、G2画素、B2画素に対応した信号、ノイズはそれぞれ画素ごとに設けられた容量 C_S と容量 C_N に読み出される。すなわち、信号、ノイズを一時蓄積するための容量は8個分設けられる。R1画素、G2画素（G1画素、B2画素）に対応した信号、ノイズ信号、は同時に読み出されて差分処理され、AGCを経てA/D変換器でアナログ→デジタル変換されて、デジタル信号となる。

【0008】図18においては、容量 C_P と容量 C_P の電極に接続されたりセット手段とで、ノイズと信号とを差分処理し、容量 $C1$ にはノイズが除去された信号R（G）が、容量 $C2$ にはノイズが除去された信号G（B）が一時蓄積される。ノイズを差分するには、ノイズを容量 C_P の出力電極側を一定電位とした状態で容量 C_P の入力電極側に出力し、容量 C_P の出力電極側を浮遊状態とした後に、容量 C_P の入力電極側に信号を入力する。こうすると容量 C_P の入力電極側は（信号－ノイズ）分電位が変動し、容量 C_P の出力電極側も同様に（信号－ノイズ）分電位が変動するので、ノイズ除去された信号が出力されることになる。水平出力線には水平走査毎にR、Gの点順次信号とG、Bの点順次信号が出力される。その信号は減算アンプ、AGCを経てA/D変換器でアナログ→デジタル変換されて、デジタル信号となる。このデジタル信号は複数ラインメモリあるいはフレームメモリ内で原色信号毎にメモリされ、画像処理が行われる。メモリ方法はシステムにより種々ある。

【0009】図19においては、それぞれの垂直出力線から読み出されたノイズおよび信号について、信号からノイズを除去して一時蓄積容量 C_S に蓄積する。ノイズを除去するには、トランジスタ M_t 、 M_r をオンしリセットした後、ノイズ出力期間に容量 C_P に負パルスを印加してトランジスタ M_S のチャネル電位 ϕ_n を超えた電荷を容量 C_S に転送し、この電荷をトランジスタ M_t をオンして排出する。信号出力期間に再度、容量 C_P に負パルスを印加してトランジスタ M_S のチャネル電位 ϕ_s を超えた電荷を容量 C_S に転送する。ここで容量 C_S に転送された電荷は $C_P \times (\phi_s - \phi_n)$ となりノイズが除去された信号となる。

【0010】これらの撮像装置では、1列の画素列（1本の垂直出力線）に対して容量を最低2個設けている。付加する容量の値は誘電層の厚みと電極面積で決まるが、通常チップ面積の数％を占めている。

【0011】特に、図17の構成例ではノイズと信号を差分処理するアンプが画素ごとに必要となり消費電力が大きくなる。さらに、読出し速度を下げるために複数水平ラインの信号読出しを同時に行うと、一時蓄積容量はさらに多くなり、チップ面積の増大を招くことになる。

【0012】近年デジタルスチルカメラが数百万画素に

なったことにより消費電力が増え、撮影枚数が減り、ユーザは高い電池代を負担することになっている。

【0013】さらに、西暦2000年過ぎには、高速データ通信が可能なIMT-2000のインフラが準備され、画像通信が本格化する。そして、このようなモバイル画像通信を普及させるには低消費電力のセンサーと周辺ICおよびコストダウンが求められる。

【0014】

【課題を解決するための手段】本発明の撮像装置は、少なくとも行方向に配列された複数の光電変換部と該複数の光電変換部からの信号が入力される共通回路とを配置した単位セルが複数列配列された撮像装置において、前記単位セル内の各光電変換部について共有される信号保持手段を垂直出力線に接続し、前記光電変換部から前記共通回路を介して前記信号保持手段へ信号を読み出すことを特徴とするものである。

【0015】また本発明の撮像装置は、行方向及び列方向に複数の光電変換画素を配列し、少なくとも二列の光電変換画素列について共有する信号保持手段を垂直出力線に接続し、前記信号保持手段は、画像信号を蓄積する画像信号保持手段と、該画像信号のノイズ成分を蓄積するノイズ保持手段とからなり、各光電変換画素から前記信号保持手段へ信号を読み出し、前記信号保持手段から信号出力を行う動作を、前記少なくとも二列の光電変換画素列の列方向と行方向について各光電変換画素ごとに順次行ってなるものである。

【0016】本発明の撮像システムは、上記本発明の撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とするものである。

【0017】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0018】図1は4つの光電変換部からの信号を1つの共通アンプ（共通回路を構成する）を経て読み出す撮像装置に本発明を適用した場合の実施例を示す概略的構成図である。

【0019】本実施例の光電変換セル（単位セル）Sは、4つの光電変換部と1つの共通アンプから構成され、例えば図1の光電変換部a11、a12、a21、a22にはカラーフィルタR1（赤）、G1（緑）、G2（緑）、B2（青）が設けられ、各光電変換部からR1信号、G1信号、B2信号、G2信号が共通アンプA1から垂直出力線を介して出力される。また共通アンプA1からはリセット後のノイズも垂直出力線を介して出力される。

【0020】100は信号蓄積用の容量 C_S 、ノイズ蓄積用の容量 C_N 、容量切替え用のトランジスタM1、M2、および信号出力用のトランジスタM3、M4で構成される信号蓄積構成部である。1つの垂直出力線にはトランジスタM1、M2を介して信号蓄積用の容量 C_S とノイ

ズ蓄積用の容量 C_N が並列に設けられている。容量 C_S に蓄積された信号と容量 C_N に蓄積されたノイズとは水平シフトレジスタ(H・SR)13によって制御されるトランジスタM3、M4が同時にオンして各水平出力線に読み出されて、減算アンプ10で信号からノイズが除去され、AGC(オートゲインコントロール)11、A/Dコンバータ12を経てデジタル信号に変換される。水平出力線は ϕ_{HC} で制御されるトランジスタM6によりリセットされる。

【0021】本実施例では1本の垂直出力線あたり2個の容量を設けているが、共通アンプにより2列の光電変換部列の信号が1本の垂直出力線で出力されるので、1列の光電変換部列あたり1個の容量を配置すればよい。

【0022】図2は光電変換セルSの構成を示す図である。図2に示すように、光電変換セルSは、共通アンプ1つに光電変換部4つ(ここでは、 a_{11} 、 a_{12} 、 a_{21} 、 a_{22})を配置して構成されている。その他の光電変換セルについても同様な構成となっている。なお、ここでは共通アンプは増幅手段MSF、リセット手段MRES、セレクト手段MSEL、および転送手段MTX1~MTX4から構成されている。転送手段MTX1~MTX4は制御信号 ϕ_{GT1} ~ ϕ_{GT4} で順次オン状態となり、光電変換部 a_{11} 、 a_{12} 、 a_{21} 、 a_{22} から信号が順次、増幅手段MSFの入力部(ゲート)に転送される。セレクト信号 ϕ_{S0} によりセレクト手段MSELがオン状態となると、増幅手段MSFのゲートに転送された信号電荷に対応する信号が垂直出力線に読み出される。なお、光電変換部から信号が増幅手段MSFの入力部(ゲート)に転送される前にリセット信号 ϕ_{GCL} によりリセット手段MRESがオン状態となり増幅手段MSFの入力部がリセットされ、ノイズとしてセレクト手段MSELを介して垂直出力線に送られる。

【0023】図3に上記撮像装置の動作を説明するためのタイミングチャートを示す。一水平走査期間に時分割で各色信号の読み出しが順次行われ(R1読出し(期間 ϕ_R)→G1読出し(期間 ϕ_G)→B2読出し(期間 ϕ_B)→G2読出し(期間 $\phi_{G'}$))、色信号の読み出し後に、一時蓄積容量 C_S 、 C_N から信号とノイズが出力される。減算アンプ10で信号からノイズが除去され、AGC11、A/Dコンバータ12を経てデジタル信号に変換され、R1信号、G1信号、B1信号、G2信号が出力(信号出力out1)される。

【0024】この実施例では、出力信号は各色ライン順次信号である。A/D変換後のデジタル信号は後段のメモリで一時蓄積され画像処理がなされる。ノイズ除去方式は本実施例に限らず、図18に示すクランプ型、図19に示すスライス型など各種方式のものが適用できる。

【0025】図4は各色信号読み出し期間内のタイミングを示すタイミングチャートである。

【0026】図4に示すR1読出し期間において、期間T1では、信号 ϕ_{TS} 、 ϕ_{TN} 、 ϕ_{VL} をハイレベルとしトラ

ンジスタM1、M2、M5をオン状態として、垂直出力線及び一時蓄積容量 C_S 、 C_N 上の残留電荷の除去を行う。

【0027】次に、期間T2では、信号 ϕ_{GCL} 、 ϕ_{S0} 、 ϕ_{TN} をハイレベルとして、リセット手段MRESをオン状態として共通アンプのリセットを行い、セレクト手段MSEL、トランジスタM2をオン状態として、共通アンプのノイズの読み出し、一時蓄積容量 C_N へのノイズ蓄積を行う。

【0028】次に、期間T3では、信号 ϕ_{GT} 、 ϕ_{S0} 、 ϕ_{TS} をハイレベルとして、転送手段MTX1をオン状態として光電変換部から共通アンプの入力部(ゲート)へ信号を転送し、セレクト手段MSEL、トランジスタM1をオン状態として、光電変換信号の読み出し、一時蓄積容量 C_S への光電変換信号蓄積を行う。なお、G1、B2、G2読出し期間においても同様な処理がなされる。

【0029】図5に上記撮像装置の全体構成図を示す。

【0030】各光電変換セルのリセット、ノイズ・信号読み出し、光電変換の制御は垂直シフトレジスタ(V・SR)15によって行われ、信号蓄積構成部100からなるノイズ除去・メモリ部14の制御は水平シフトレジスタ(H・SR)13によって行われ、減算アンプ10で信号からノイズが除去され、AGC11、A/Dコンバータ12を経てデジタル信号に変換される。タイミングジェネレータ16は垂直シフトレジスタ(V・SR)15、水平シフトレジスタ(H・SR)13、差動アンプ10、AGC11、A/Dコンバータ12の動作を制御する。17は行列状に光電変換セルが配置された撮像素子部である。

【0031】なお、図1の実施例は2行4画素の単位セルの分割読み出しと信号出力方法であったが、これをさらに増した複数行、複数画素でもよいことは勿論である。

【0032】また、以上の実施例では共通回路部分A1、A2、・・・をアンプとして説明したが、例えばA/D変換回路や圧縮回路等の他の信号処理回路であってもよい。

【0033】図6は1つの光電変換部と1つのアンプで単一セルが構成された場合の撮像装置の実施例を示す概略的構成図である。図7はセル構成を示す図である。

【0034】本実施例の場合は、転送スイッチ手段MTXの制御線を奇数列と偶数列毎に設けて、信号 ϕ_{GT1} 、 ϕ_{GT2} で制御する。画素R1から読み出したノイズはトランジスタM7、M2をオンして容量 C_N に蓄積され、画素R1から読み出した画像信号はトランジスタM7、M1をオンして容量 C_S に蓄積される。そして、容量 C_N 、 C_S から水平出力線に出力される。その後、同様に他の画素(G1、G2、B2)から読み出したノイズと画像信号は容量 C_N 、 C_S に蓄積され、水平出力線に出力される。

【0035】アンプのノイズが無視できる用途、あるいはプロセス技術の改善されればノイズメモリは不要とな

る。この場合は、転送スイッチMTXの制御線は奇数列と偶数列で別々に設けず、共通配線としてもよい。 ϕGT で画素信号を垂直出力線に読出し、一時蓄積する。信号用メモリとなる容量CSへの転送は $\phi VT1$ 、 $\phi VT2$ で制御する。

【0036】図8に撮像システム概略図を示す。同図に示すように、光学系71、絞り80を通して入射した画像光はCMOSセンサー72上に結像する。CMOSセンサー72上に配置されている画素アレーによって光情報は電気信号へと変換され、ノイズ除去されて出力される。その出力信号は信号処理回路73によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。絞り80、CMOSセンサー72、信号処理回路73はタイミング制御回路75により制御され、光学系71、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御される。

【0037】次に本発明の撮像装置に好適に用いることができる単位セルの具体的な構成について説明する。

【0038】図16に示す配置は、光電変換部173の配列が等ピッチとはならないために($a_1 \neq a_2$)、それぞれの画素内の光を感知する領域(受光部)の間隔が等しくならず、次のような問題が生じる。すなわち、同色の等ピッチでない配列は、部分的に空間周波数、解像度が等しくないために、解像度の低下、モアレ縞等の不良を発生させる。また、モアレ縞の発生は非常に重大な問題であり、そのような撮像装置は、事実上製品として成り立ち得ない。これは前記単位セルを構成する画素数が4以外の場合にも同様に成り立つ。

【0039】本発明者らは、複数画素中に分散された増幅手段を有するCMOSセンサーにおいても、光電変換部のピッチを一定とすることによってそれぞれの受光部の間隔は等しくなり、解像度の低下とモアレ縞の発生を防止し、開口率等を向上させ、良好な性能を得ることができる撮像装置を見出した。このような撮像装置は本発明において好適に用いることができる。

【0040】図9は2行2列の画素が共通アンプ部22を共有する例を示す図である。図9では、共有する共通アンプ部22が4つの画素の中心に配置され、4つの光電変換部(a_{11} , a_{12} , a_{21} , a_{22})が共通アンプ部22を取り囲むように配置されている。ここで共通アンプ部22には図2の増幅手段MSF、リセット手段MSEL、選択手段MSELの他、転送手段MTX1~MTX4を含んでいる。

【0041】しかも、共通アンプ部22の占める各画素における領域と中心対称な位置に遮光部25が存在している。従って、各画素における光電変換部21の重心は

前記各画素の中心に存在する。これにより前記4つの光電変換部(a_{11} ~ a_{22})は縦方向、横方向に等間隔 a で配置できている。

【0042】また図10では、共有する共通アンプ部32が4つの画素の横方向の中心部に配置され、4つの光電変換部31(a_{11} , a_{12} , a_{21} , a_{22})が共通アンプ部32をはさむように配置されている。

【0043】しかも、共通アンプ部32の占める各画素における領域と中心対称な位置に遮光部35が存在している。従って各画素における前記光電変換部31の重心は各画素の中心に存在する。これにより4つの光電変換部(a_{11} ~ a_{22})は縦方向、横方向に等間隔 a で配置できている。

【0044】上述した図10の実施形態は、横方向と縦方向を入れ換えても全く同様に成立する。

【0045】図11にCMOSセンサーの画素アレー部の第1の構成例の具体的なパターンレイアウト図を示す。

【0046】図11に示すCMOSセンサーは単結晶基板上にレイアウトルール0.4 μm によって形成されており、画素の大きさは8 μm 角であり、増幅手段であるソースフォロワアンプは2行2列の4画素で共有されている。従って、図中点線領域で示した繰返し単位セル81の大きさは16 $\mu m \times 16\mu m$ 角であり、2次元アレーが形成されている。

【0047】光電変換部であるフォトダイオード82a, 82b, 82c, 82dは各画素の中央に斜めに形成されており、その形状は上下左右でほぼ回転対称、鏡像対称である。またこれらのフォトダイオード82a, 82b, 82c, 82dの重心gは各画素に対して同一になるように設計されている。また95は遮光部である。

【0048】88-aは左上の転送ゲート83-aを制御する走査線、90は行選択線、92はMOSゲート93を制御するリセット線である。

【0049】フォトダイオード82a~82d中に蓄積された信号電荷は転送ゲート83a~83dを通してFD85に導かれる。ゲート83a~83dのMOSサイズは $L=0.4\mu m$, $W=1.0\mu m$ (L はチャネル長、 W はチャネル巾を示す。)である。

【0050】FD85は巾0.4 μm のA1配線によってソースフォロワの入力ゲート86に接続されており、FD85に転送された信号電荷は入力ゲート86の電圧を変調させる。入力ゲート86のMOSの大きさは $L=0.8\mu m$, $W=1.0\mu m$ であり、FD85と入力ゲート86の容量の和は5fF程度である。 $Q=CV$ であるから、 10^5 個の電子の蓄積によって入力ゲート86の電圧は、3.2V変化することになる。

【0051】 V_{DD} 端子91から流れ込む電流は入力ゲート86によって変調され、垂直出力線87に流出する。垂直出力線87に流出する電流は図示しない信号処理回

路によって信号処理され、最終的には画像情報となる。

【0052】その後、ホトダイオード82a~82d, FD85, 入力ゲート86の電位を所定の値の V_{DD} とするために、リセット線92に接続されたMOSゲート93を開くことで(このとき転送ゲート83a~83dも開く)、ホトダイオード82a~82d, FD85, 入力ゲート86は V_{DD} 端子とショートされる。

【0053】その後、転送ゲート83a~83dを閉じることでホトダイオード82a~82dの電荷蓄積が再び始まる。

【0054】ここで注目すべきは、水平方向に貫通する配線88a~88d, 90, 92の全ては透明な導体である厚さ1500ÅのITO (Indium Tin Oxide) で形成されているために、前記配線部分のうち、ホトダイオード82a~82d上では光が透過するため、前記ホトダイオードの重心gは光を感知する領域(受光部)の重心と一致することである。

【0055】本構成例によれば画素ピッチが等しい比較的高面積率、高開口率なCMOSセンサーを提供することができる。

【0056】本発明のCMOSセンサーの画素アレー部の第2の構成例の具体的なパターンレイアウト図を図12に示す。

【0057】図12において、102a~102dはホトダイオード、103a~103dは転送ゲート、105はFD、106はソースフォロワの入力ゲート、107は垂直出力線、108a~108dは走査線、110は行選択線、112はMOSゲート113を制御するリセット線である。

【0058】本構成例においては水平方向に走る配線108a~108d, 110, 112が3本ずつ各画素の中心を横切るように走っているために、ホトダイオード102a~102dに入射する光を妨げるような金属配線であっても、光を感知する領域の重心gの移動は生じず、従って前記画素の中心と一致する。

【0059】本構成例によれば電気抵抗が小さな通常の(不透明な)金属を使用できるため、前記横方向の配線の時定数が改善され、更に高速な撮像装置を提供することができる。

【0060】以上の構成例では、遮光膜の下部分が有効利用されているため、図13に示すように遮光膜の下部分にまで光電変換部であるホトダイオードを形成し、電荷蓄積部として機能させることも可能である。

【0061】上述の第2構成例においては、最も光集光効率が良い画素の中心を横切るために、撮像装置の感度の低下が懸念される。そこで更に改善された第3構成例を図14に示す。

【0062】本構成例においては転送ゲート123a~123d、FD125、ソースフォロワの入力ゲート126、リセット用のMOSゲート133全てが横方向を

走る配線(走査線128a~128d, 行選択線130, リセット線132)下に形成されているため、ホトダイオード122a~122d, 及びその開口を最大とすることができる。しかも、その開口部は各画素の中心に連続して存在する。また遮光部は水平、垂直配線部分に形成されている。

【0063】また本構成例においては前記増幅手段であるソースフォロワとリセット用のMOSトランジスタを各画素の周辺の水平方向に分割して配置したためにコンパクトに前記水平方向の配線下に配置可能となっている。

【0064】また右上の画素の配線下には未使用のスペースが未だ存在するため、例えばスマートセンサー等、新規の構成を追加することも可能である。

【0065】本構成例によれば、ホトダイオードの面積、及び開口率が大きく取れることから、広ダイナミックレンジ、高感度な撮像装置を提供することができる。また、将来微細化が進み、前記ホトダイオードの開口部分の寸法が光の波長程度になっても光が入射しなくなるといった恐れは生じにくく、永らくその性能を発揮することができる。

【0066】また、以上の構成例では、増幅手段は単位セルの中心部に配置し、光を感知する領域の重心と、画素の中心は一致したものであるが、これらに限られず、図15に示したような開口部が並進対称となっている構成のものでもよい。

【0067】つまり、開口部が並進対称となっていることにより、光を感知する領域は、等ピッチとなるためである。

【0068】

【発明の効果】以上詳細に説明したように、本発明によれば、一時蓄積容量の数を減らすことができ、さらにシフトレジスタの段数、共通回路、AGC、A/Dコンバータの数を減らすことにより、チップサイズの縮小によりコストを低減することができる。

【0069】また相乗的に低消費電力であり、その結果、実装ノイズを減らすことの効果がある。さらに分割駆動により一時蓄積手段が減る。このため、水平出力線に接続される転送スイッチも減らすことができ、その結果、水平出力線の寄生容量が小さくなる。従って、一時蓄積手段から水平出力線への読み出しゲインを大きくすることができる。あるいは、また逆に一時蓄積容量を小さくすることもできる。

【図面の簡単な説明】

【図1】4つの光電変換部からの信号を1つの共通アンプを経て読み出す撮像装置に本発明を適用した場合の実施例を示す概略的構成図である。

【図2】光電変換セルSの構成を示す図である。

【図3】上記撮像装置の動作を説明するためのタイミングチャートである。

【図4】各色信号読み出し期間内のタイミングを示すタイミングチャートである。

【図5】 上記撮像装置の全体構成図である。

【図6】1つの光電変換部と1つのアンプで単一セルが構成された場合の撮像装置の実施例を示す概略的構成図である。

【図7】セル構成を示す図である。

【図8】本発明によるシステム概略図である。

【図9】本発明の単位セルのレイアウトを示す図である。

【図10】本発明の単位セルのレイアウトを示す図である。

【図 1 1】本発明の一構成例のパターンレイアウト図である。

【図12】本発明の一構成例のパターンレイアウト図である。

【図 1 3】本発明の一構成例を表す図である。

【図１４】本発明の一構成例のパターンレイアウト図である。

【図 15】本発明の一構成例を表す図である。

【図16】撮像装置の一例の単位セルのレイアウト図である。

【図 17】従来例の撮像装置のノイズ除去回路の一例を示す概略的回路構成図である。

【図 18】従来例の撮像装置のノイズ除去回路の一例を示す概略的回路構成図である。

【図 19】従来例の撮像装置のノイズ除去回路の一例を示す概略的回路構成図である。

【符号の説明】

10 S 光電変換セル (単位セル)

a11、a12、a21、a22 光電變換部

A1 共通アンプ

C_s 信号蓄積用の容量

C_N ノイズ蓄積用の容量

M1～M8 トランジスタ

10 減算アンプ

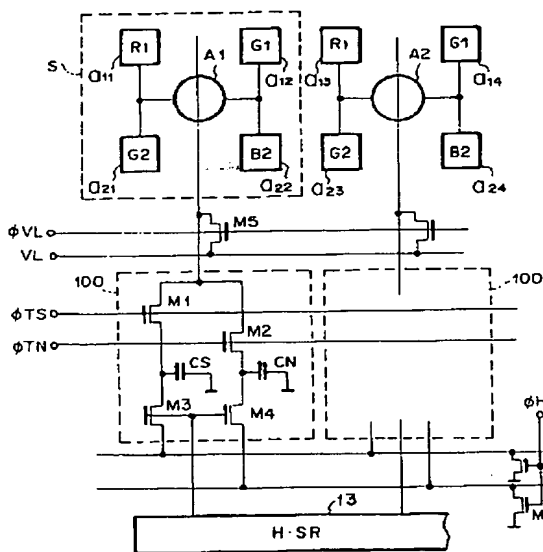
11 AGC (オートゲインコントロール)

12 A/Dコンバータ

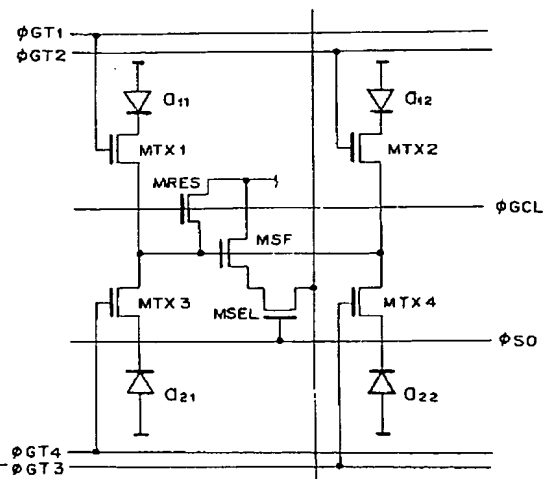
13 水平シフトレジスタ (H・SR)

20 100 信号蓄積構成部

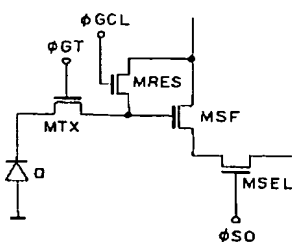
【図 1】



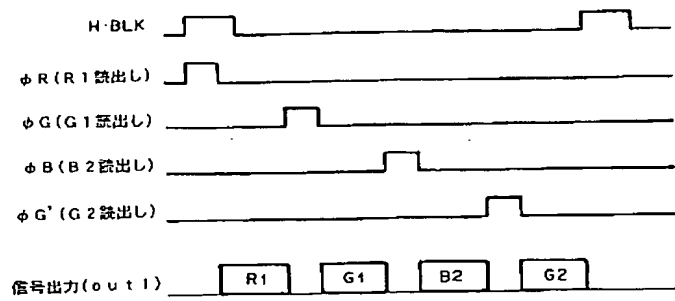
【図 2】



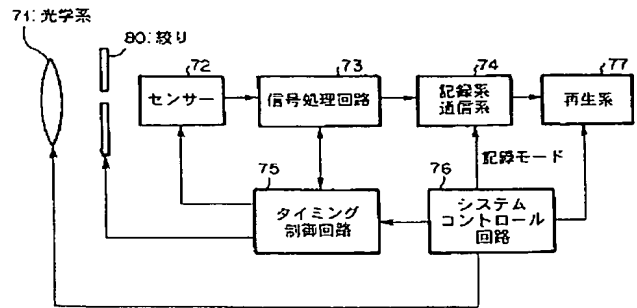
【图7】



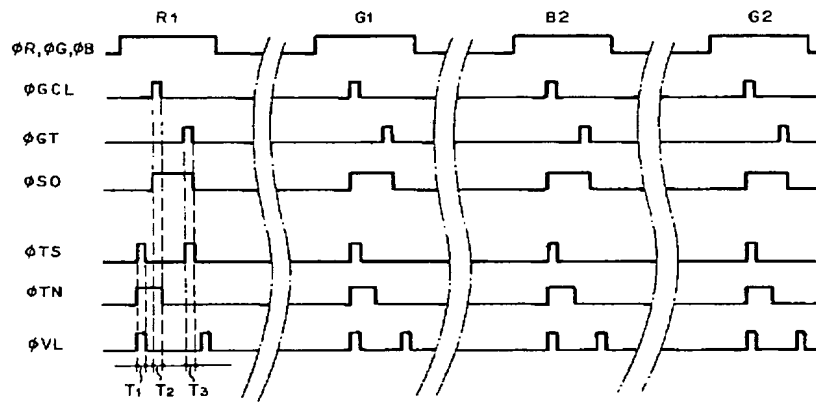
【図3】



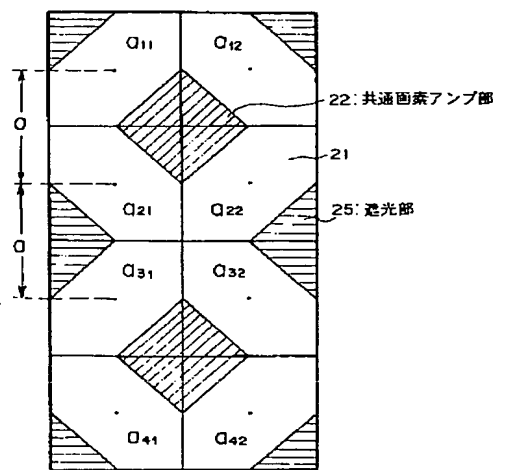
【図8】



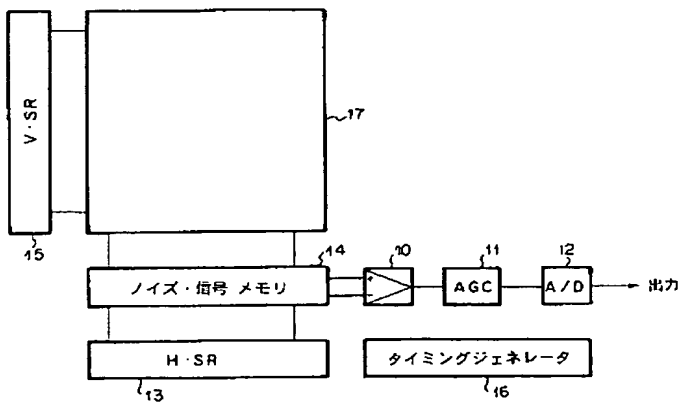
【図4】



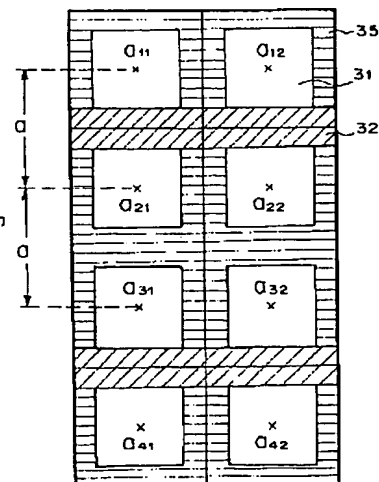
【図9】



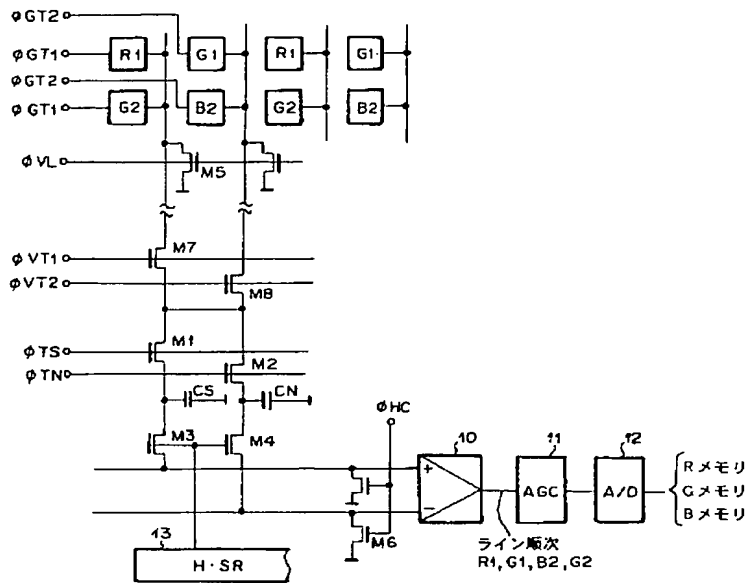
【図5】



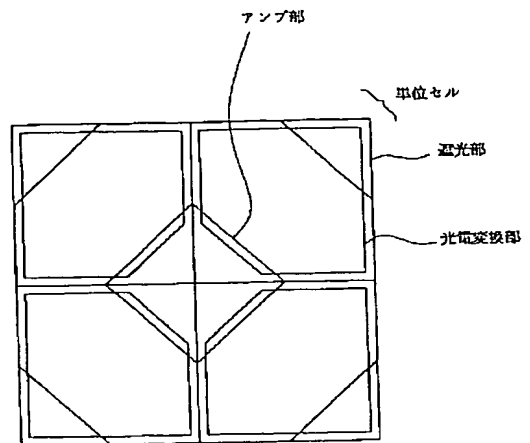
【図10】



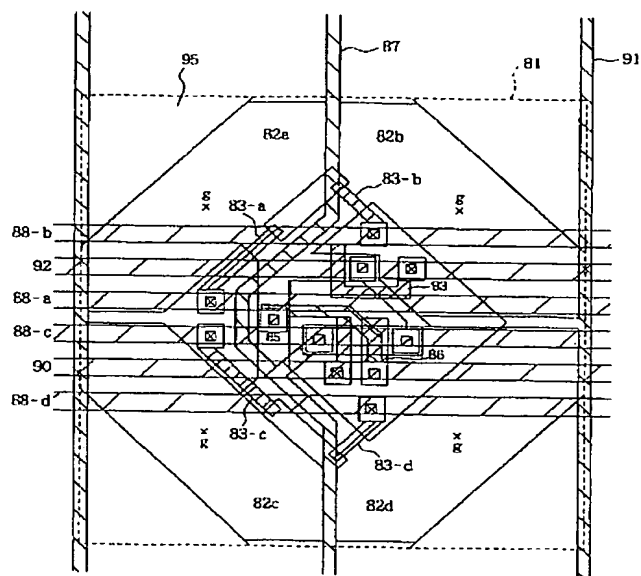
【図6】



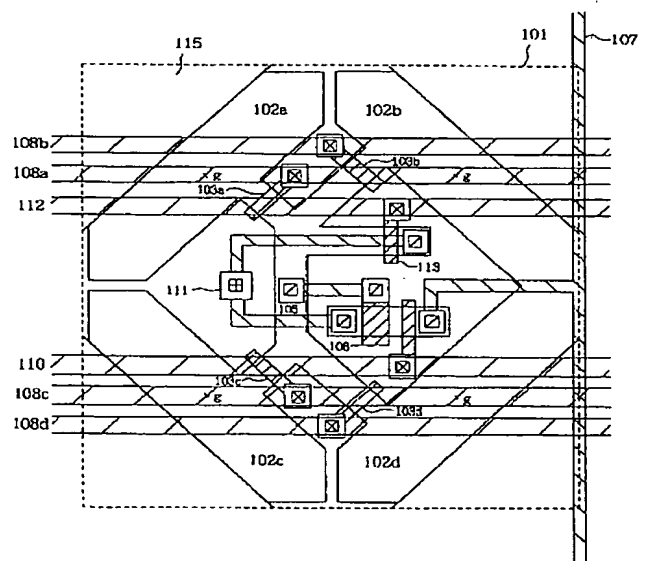
【図13】



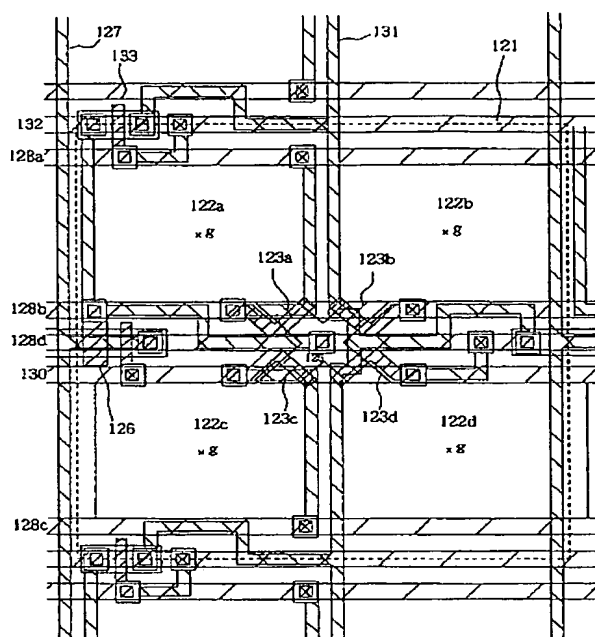
【図11】



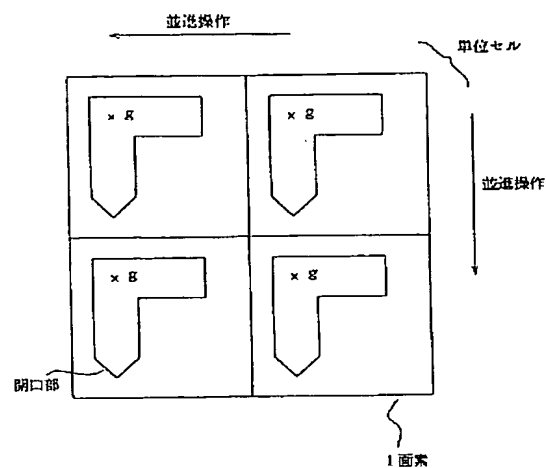
【図12】



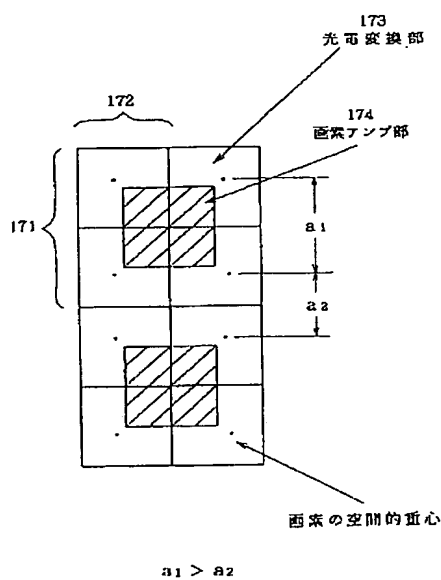
【図14】



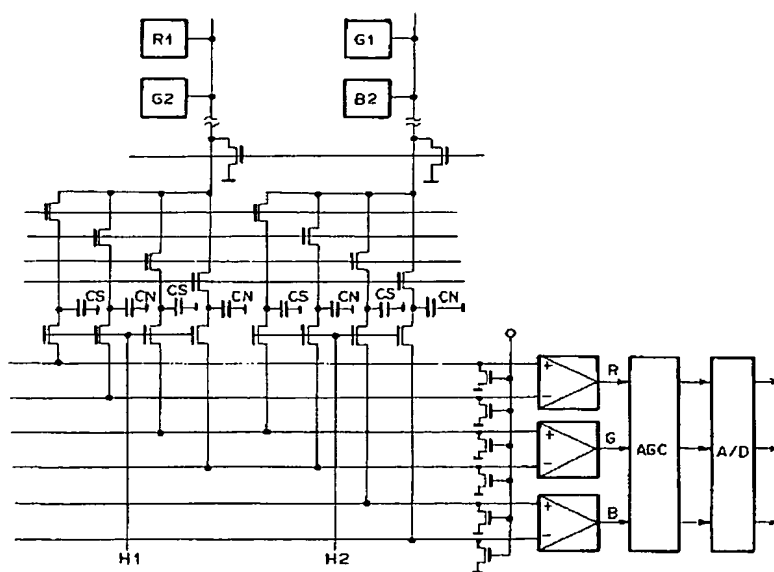
【図15】



【図16】



【図17】



【図 19】

